

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年4月14日 (14.04.2005)

PCT

(10) 国際公開番号
WO 2005/034231 A1

(51) 国際特許分類⁷:

H01L 21/60

(21) 国際出願番号:

PCT/JP2004/014739

(22) 国際出願日:

2004年10月6日 (06.10.2004)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2003-346580 2003年10月6日 (06.10.2003) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 渡邊 真司
(WATANABE, Shinji) [JP/JP]; 〒1088001 東京都港区
芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
山口 幸雄 (YAMAGUCHI, Yukio) [JP/JP]; 〒1088001
東京都港区芝五丁目7番1号 日本電気株式会社内
Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒
1070052 東京都港区赤坂1丁目9番20号 第16興
和ビル8階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

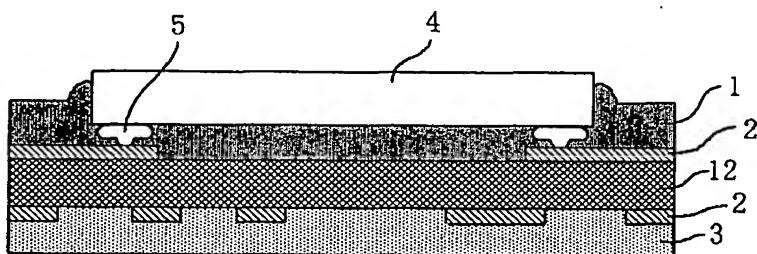
— 國際調査報告書

— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: ELECTRONIC DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 電子デバイスおよびその製造方法



resin layer, and the top surface of the chip part is exposed on the insulating resin layer on the first major surface side. The projection electrode of the chip part is connected with the first wiring layer.

(57) Abstract: A semiconductor chip comprises a wiring substrate and a chip part. The wiring substrate has an insulating resin layer having a first major surface and a second major surface, and a first wiring layer disposed on the insulating resin layer on the second major surface side. The chip part has a projection electrode on the bottom surface. The insulating resin layer so holds the chip part that the bottom and side surfaces of the chip part are in contact with the insulating

(57) 要約: 本発明の半導体チップは、配線基板と、チップ部品とを有する。配線基板は、第1主面および第2主面を有する絶縁樹脂層と、絶縁樹脂層の第2主面側に配置された第1の配線層とを有する。チップ部品は、下面に突起電極を有する。絶縁樹脂層は、チップ部品の下面と側面とが絶縁樹脂層に接し、チップ部品の上面が絶縁樹脂層の第1の主面側に露出する態様で、チップ部品を保持し、チップ部品の突起電極が第1の配線層と接続されている。

WO 2005/034231 A1